

文章编号:1005-4642(2023)05-0001-14



基于二维半导体材料浮栅存储器的 研究进展:从材料到结构

李浩宇¹, 李文庆¹, 蒋昌忠¹, 肖湘衡^{1,2}

(1. 武汉大学 物理科学与技术学院, 湖北武汉, 430072;

2. 湖北江城实验室, 湖北武汉, 430010)

摘要: 半导体浮栅存储器在半导体存储器乃至整个数据存储行业都占据着较大的市场份额, 目前在计算机、便携式设备存储器等领域都有广泛应用. 随着存储器件进一步小型化和集成化, 在未来需要新材料和新结构对浮栅存储器进行革新以延续摩尔定律的发展. 具有原子级厚度的二维层状半导体材料具有优异的电学性能和稳定性, 被广泛认为是极具潜力的新型半导体材料之一, 可用于下一代半导体浮栅存储器. 本文主要介绍近年来二维半导体材料在浮栅存储器领域的应用, 并对其未来的发展趋势进行了思考和展望.

关键词: 浮栅存储器; 二维材料; 异质结构; 闪存

中图分类号: TP333; TN32

文献标识码: A

DOI: 10.19655/j.cnki.1005-4642.2023.05.001

信息的存储方式随人类社会的发展不断更迭, 为了更加高效地存储信息, 人类发明了描述信息的工具——数据, 其能够被保存在物理介质上, 半导体存储器是目前主要的数据存储器之一. 根据断电后数据是否保存, 半导体存储器可以分为 2 类: 易失性存储器和非易失性存储器. 随着物联网(IoT)时代的到来和人工智能的兴起, 大容量的非易失性存储设备成为满足海量信息存储需求的关键^[1].

浮栅存储器是非易失性半导体存储器, 能够在断电后依旧保存数据. 传统的浮栅存储器结构与金属氧化物半导体场效应晶体管(Metal oxide semiconductor field effect transistor, MOSFET)相似, 区别在于前者在氧化物层间插入额外的电介质层来存储电荷, 没有多晶硅控制栅的引线而是完全被绝缘材料包围, 因此也被称为浮栅. 早期的浮栅存储器使用导电的多晶硅作为浮栅, 浮栅上下被绝缘介质包围, 因此断电后浮栅中的电子不会轻易流失. 在浮栅存储器微缩至 32 nm 以

下的节点时, 由于需要一定厚度的隧穿层和层间多晶硅来保证存储器的可靠性, 限制了器件尺寸的进一步微缩. 改进的浮栅存储器使用具有分立电荷陷阱的介质(如氮化硅)替代原有的多晶硅浮栅, 也称为电荷俘获存储器(Charge trap memory, CTM), 其在 16 nm 以下的工艺节点中占据主导地位^[2].

信息的爆炸式增长促使浮栅存储器不断微缩化, 进而提高存储密度以节约存储成本, 新型存储器也层出不穷, 除了占据主要市场的基于浮栅结构的闪存(Flash)外, 目前市场上如相变(PCM)、阻变(RRAM)、磁阻(MRAM)等电阻转变类存储器和依靠极化转变的铁电存储器(FerRAM)等新型非易失性半导体存储器也在迅速发展. 这些新型存储器在擦写速度、耐久性和功耗方面都优于浮栅存储器, 例如 MRAM 耐久性好和擦写速度快(接近动态随机存取存储器 DRAM), FerRAM 功耗超低, RRAM 和 PCM 抗辐照能力强、各项性能较为均衡. 但在集成密度、兼容性和存储成本

收稿日期: 2023-01-15; **修改日期:** 2023-03-02

基金项目: 国家自然科学基金资助(No. 12025503, No. 12074293, No. 12275198)

作者简介: 李浩宇(2000—), 男, 湖南长沙人, 武汉大学物理科学与技术学院 2021 级硕士研究生, 研究方向为低维半导体存储器件. E-mail: lihaoyu0@whu.edu.cn

通信作者: 李文庆(1988—), 男, 湖北襄阳人, 武汉大学物理科学与技术学院副教授, 博士, 研究方向为低维器件. E-mail: wenqing_li@whu.edu.cn

肖湘衡(1979—), 男, 湖南衡阳人, 武汉大学物理科学与技术学院教授, 博士, 研究方向为离子束能源与功能材料. E-mail: xxh@whu.edu.cn

指标上,Flash 依旧具有明显优势.

目前,浮栅器件微缩化已经趋近物理极限,向更小尺寸缩小受到工艺和硅材料自身性能的双重限制^[3],从长远发展的角度来看,需要研制新型关键半导体材料来弥补传统半导体材料性能的短板,克服尺寸微缩极限下传统半导体性能衰退、异质结器件功耗大以及漏电流严重的问题,从而进一步推动存储器的小型化. 目前,二维材料被广泛认为是极具潜力的新型半导体材料之一^[4].

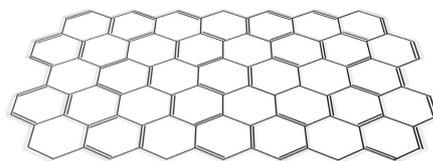
自 2004 年首次发现石墨烯以来^[5],已经发现了数百种二维材料,包括金属、半金属、半导体、绝缘体、拓扑绝缘体和超导体^[6]. 此外,在垂直于二维平面方向上的量子束缚导致二维材料与传统体材料具有截然不同的电学和光学性质. 二维层状材料具有许多优异的性质,例如厚度极薄,表面平坦(原子级)且自然钝化,击穿电压大和机械性能优异,层与层之间仅通过弱范德华力相互作用,可以利用不同的二维材料来搭建垂直方向上的异质结,而不必担心晶格失配的问题^[1,7],等等. 国际半导体技术路线图(ITRS2.0)将二维材料视为深亚微米电子学的候选材料,许多研究者也尝试将二维材料与半导体浮栅存储器进行结合,解决传统浮栅存储器在功耗和擦写速度方面的不足等问题.

1 常用于半导体浮栅存储器中的二维材料

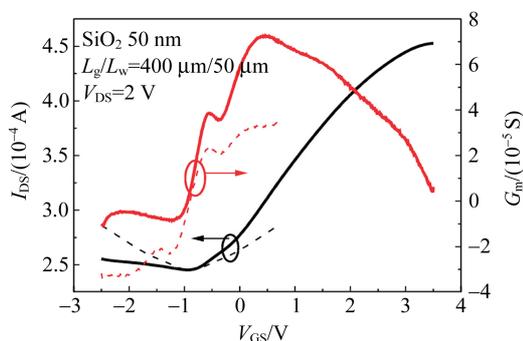
1.1 石墨烯及其衍生物

石墨烯(Gr)是最先引入浮栅型存储器件的二维材料^[6]. Gr 的结构如图 1(a)所示,由 1 层 sp^2 杂化 C 原子构成,每个 C 原子通过 σ 键与相邻的 3 个 C 原子相连,形成平面碳六元环蜂窝状结构,是目前为止发现的厚度最薄、强度最大的纳米材料,单层厚度仅为 0.34 nm,机械强度是钢的 100 倍. Gr 中 C 原子剩余的 p 轨道电子最有可能与周围原子形成大 π 键,大 π 键的方向垂直于 Gr 平面,且能够在 Gr 平面内自由移动. 且由于狄拉克点的存在,单层 Gr 可以被看作是带隙为 0 的半金属材料,载流子在 Gr 内运动时不需要跨越势垒,且几乎不受声子散射的影响,使得 Gr 具有极高的电子迁移率^[8]. Wu 等人^[9]采用热蒸发 4H-SiC 外延生长的 Gr 制备了场效应晶体管,测得其电子和空穴迁移率分别为 $5\,400\text{ cm}^2/(\text{V}\cdot\text{s})$ 和 $4\,400\text{ cm}^2/(\text{V}\cdot\text{s})$,比传统半导体材料(如 SiC

和 Si)高很多,典型的硅场效应晶体管的电子迁移率为 $200\text{ cm}^2/(\text{V}\cdot\text{s})$. 虽然 Gr 的载流子迁移率是 Si 的数倍,但 Gr 的本征能隙为 0^[10],图 1(b)为 Wu 等人制备的 Gr 场效应晶体管的转移特性曲线,可以发现器件的开关比仅为 2,这意味着 Gr 晶体管无法像硅基晶体管一样关闭,而是始终处于“开”的状态,极大地限制了 Gr 作为器件核心运输层的应用前景. 目前许多研究人员致力于通过各种化学和物理手段(如掺杂、物理吸附、应变等)打开 Gr 的带隙^[11]. 北京高压科学中心的陈斌团队借助极端高压环境诱导 sp^2 - sp^3 结构转变,突破性地将 3 层 Gr 带隙打开至 $(2.5 \pm 0.3)\text{ eV}$,且在极低压力条件下仍然留存^[12].



(a)Gr 结构图

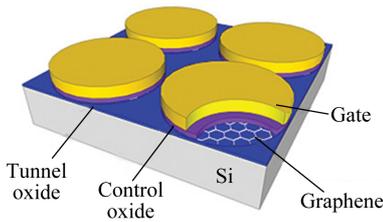


(b)Gr 场效应晶体管的转移特性曲线^[9]

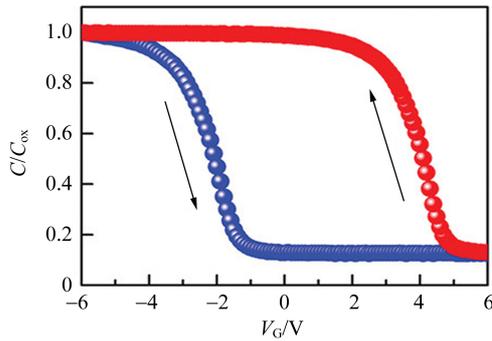
图 1 Gr 结构图及 Gr 场效应晶体管的电学性能

除高迁移率外,Gr 还具有态密度高和电子亲和能($\sim 4.6\text{ eV}$)稳定的优点,这使得其具备替代浮栅存储器中的浮栅来捕获电荷的潜力^[10]. 2011 年,Hong 等人^[10]首次将 Gr 引入闪存结构,如图 2(a)所示,利用化学气相沉积法(CVD)生长的单层或多层 Gr 作为电荷存储介质,热氧化 SiO_2 作为隧穿层,原子层沉积法(ALD)生长的 Al_2O_3 作为阻挡层,并使用高导硅作为沟道制备 Gr 浮栅存储器件. 图 2(b)~(c)为 Gr 浮栅存储器的 C-V 测试图像,图 2(c)插图是无 Gr 器件的 C-V 曲线. 多层 Gr、单层 Gr 浮栅存储器以及无 Gr 的器件在 $\pm 7\text{ V}$ 的扫描范围下分别展现出 6 V 、 2 V

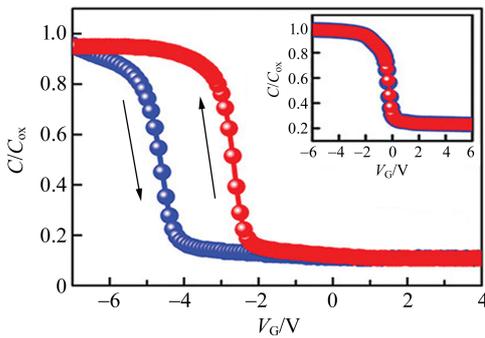
和 20 mV 的回滞窗口,证明 Gr 起到了存储电荷的作用. 此外,多层 Gr 比单层 Gr 的态密度更大^[7],能够俘获更多的电荷,因此会导致更大的回滞窗口. Hong 等人^[10]还证明使用 Gr 作为浮栅能够减小单元间的串扰. 另外,由于 Gr 的层间电阻更大,能够帮助抑制编程器件的冲击电流并减小漏电流^[13]. 此后,单层及多层 Gr 被许多研究人员作为浮栅来进行存储器件的研究^[14-21].



(a)Gr 浮栅存储器的结构示意图



(b)多层 Gr 浮栅存储器的 C-V 曲线



(c)单层 Gr 浮栅存储器的 C-V 曲线

图 2 Gr 闪存器件及电容-电压扫描曲线^[10]

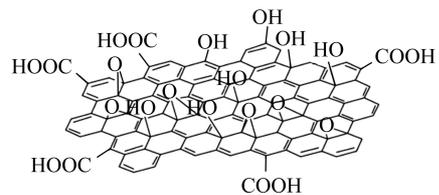
除了被用于浮栅外,半金属态的 Gr 在与二维材料形成良好接触的同时能够提供大的电流密度(可达到 10^9 A/cm²^[22]),因此研究人员也将 Gr 作为与二维材料沟道的接触电极或控制栅^[7, 23].

2013 年, Bertolazzi 等人^[7]构建了 SGr/MoS₂ 异质结, MGr 作为浮栅、MoS₂ 作为沟道,使用高介电材料 HfO₂ 作为栅介质、单层 Gr 作为触点与沟道接触,器件的输出曲线表现出较好的线性特征,并相对于原点高度对称,表明 Gr 电极与沟道之间形成了良好的欧姆接触,证明 Gr 具有替代集成电路中较厚金属触点的潜力,有利于集成电路进一步微缩.

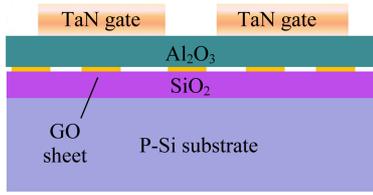
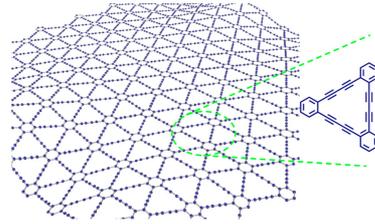
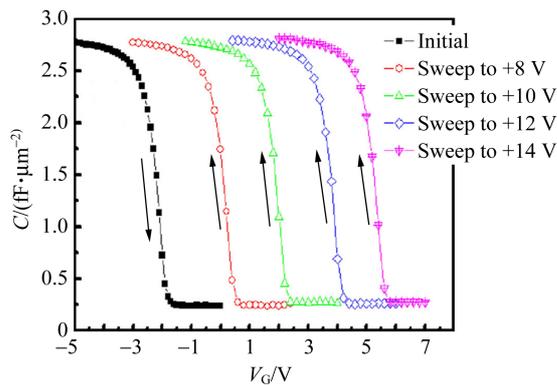
氧化 Gr(GO)是 Gr 的衍生物,如图 3(a)所示,二者之间结构上的区别是 GO 在表面和边缘处添加了数种与 C 原子结合的含氧官能团,如羟基、环氧基和羧基. 含氧官能团的存在使得单层 GO 厚度比单层 Gr 更大,约为 0.8~1.0 nm^[24]. GO 的合成主要包括 2 个步骤:石墨的氧化和 GO 的剥离. 剥离的 GO 纳米片具有高度无序分布的氧化区域和未氧化区域,零散分布的 Gr 被具有含氧官能团的 GO 无定形区域包围且间隔开^[25]. 电荷可以存储在这些离散的、量子级尺寸的 Gr 和 GO 的含氧官能团中(环氧基和羟基都具有高电子亲和力)和层状剥落时产生的空穴缺陷中^[25-26]. 2010 年, Wang 等人^[26]首次使用 GO 纳米片作为浮栅,将其引入半导体浮栅存储器. Wang 通过改进的 Hummers 法^[27]处理石墨获得超薄的单层 GO 纳米片作为浮栅,同时使用 TaN 作为顶栅, Al₂O₃ 作为阻挡层, SiO₂ 作为隧穿层,构建出 TaN/Al₂O₃/GO/SiO₂/Si 的存储结构,器件的结构和电学特性如图 3(b)~(d)所示,在 -5~14 V 的循环栅压扫描下表现出 7.5 V 的大存储窗口. 使用二维 GO 纳米片作为浮栅进行电荷存储有以下优点:

1)GO 具有较好的溶解性,其易于通过旋涂法制造超薄 GO 纳米片,适用于低成本、高灵活性的存储器件制备.

2)通过控制退火温度,可以控制 GO 中氧化畴的密度,进而调整器件的存储窗口大小.



(a)GO 结构图^[28]

(b) TaN/Al₂O₃/GO/SiO₂/Si 存储结构截面示意图^[26]图 4 GDY 原子结构示意图^[29]

(c) C-V 迟滞曲线

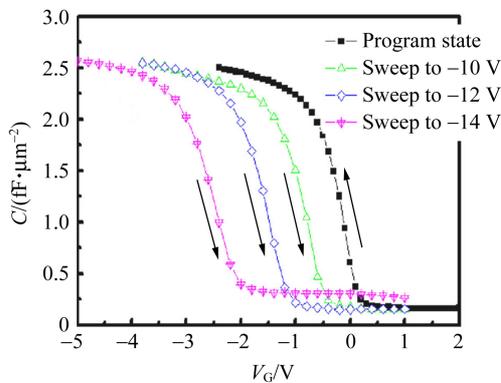
(d) 擦除特性曲线^[26]

图 3 GO 浮栅存储器的性能测试

除了 Gr 与 GO 外,碳的同素异构体石墨二炔(Graphdiyne, GDY)也是具有应用前景的浮栅材料. GDY 也是层状二维材料,单层 GDY 结构如图 4 所示,每 2 个苯环之间由 2 个炔基连接,具有比 Gr 更加优异的机械灵活性^[29]. Liu 等人^[30]通过 CVD 方法合成的单层 GDY 厚度为 0.6 nm,层间距仅有 0.37 nm. 不同于 Gr 的零带隙,理论计算和实验都证明单层 GDY 具有天然可调带隙(0.4~1.1 eV),与 Si 非常接近^[31],且带隙大小随层数的增加而减小.

室温下,单层 GDY 的迁移率非常高,但许多实验结果得到的载流子迁移率远小于理论值,这是由于合成的 GDY 是多晶的,单个晶畴小于几百 nm,晶界和晶畴之间的无序缺陷严重限制了载流子迁移率和导电率^[32]. GDY 还具有态密度高、功函数大等优异的电学性能,表现出极具应用前景的闪存浮栅材料潜力^[23,33]. 2021 年,Zhang 等人^[23]通过在 Gr 上外延生长 GDY 成功制备了 MoS₂/h-BN/GDY/Gr 结构的闪存器件,GDY 表现出极佳的电荷俘获能力.

1.2 六方氮化硼

六方氮化硼(Hexagonal boron nitride, h-BN)是 BN 的 3 种结晶形式中最稳定的 1 种^[34],其与 Gr 一样是蜂窝状六边形结构的层状材料,晶格常量也十分接近,因此 h-BN 也被称为白色石墨^[35]. 如图 5(a)所示,平面内由 N 原子与 B 原子依靠高度极化的强共价 B—N 键结合形成六边形网状结构,表现出各向异性特性,相邻层间 B 原子与 N 原子相互堆叠,依靠弱范德华力结合^[35]. h-BN 中未参与 sp² 杂化的 p 轨道电子被电负性更大的原子束缚,无法像 Gr 一样形成大 π 键电子自由移动,因此 h-BN 是很好的绝缘体. 由于 N 原子和 B 原子的电负性不同,减小的电子离域将导致约 5.9 eV 的电子带隙^[36]. 理论和实验研究表明:无掺杂的二维 h-BN 具有约 6 eV 的天然宽带隙、低的介电常量($\epsilon=3\sim 4$)、大的击穿电场(~ 8 MV/cm)、极佳的机械强度、高热稳定性,同时能够提供具有低电荷陷阱密度的原子级平坦表面,是取代 SiO₂ 作为隧穿层最有潜力的二维材料,成为公认的最适合作为衬底、电介质、高质量绝缘层的材料^[35-36].

近年来,研究者们将 h-BN 作为隧穿层,借助其优势与其他二维材料合理组合构建异质结构搭建电荷俘获堆栈结构,表现出极佳的电荷保持性

能^[15,18-20]. Siao 等人^[37]通过 CVD 生长、机械剥离和干法转移法在 Si/SiO₂ 上堆叠 WSe₂/WS₂/h-BN/Gr 范德华异质结构[图 5(b)],最后在 WSe₂ 上搭建了 Au/Cr 电极制备非易失性浮栅存储器.

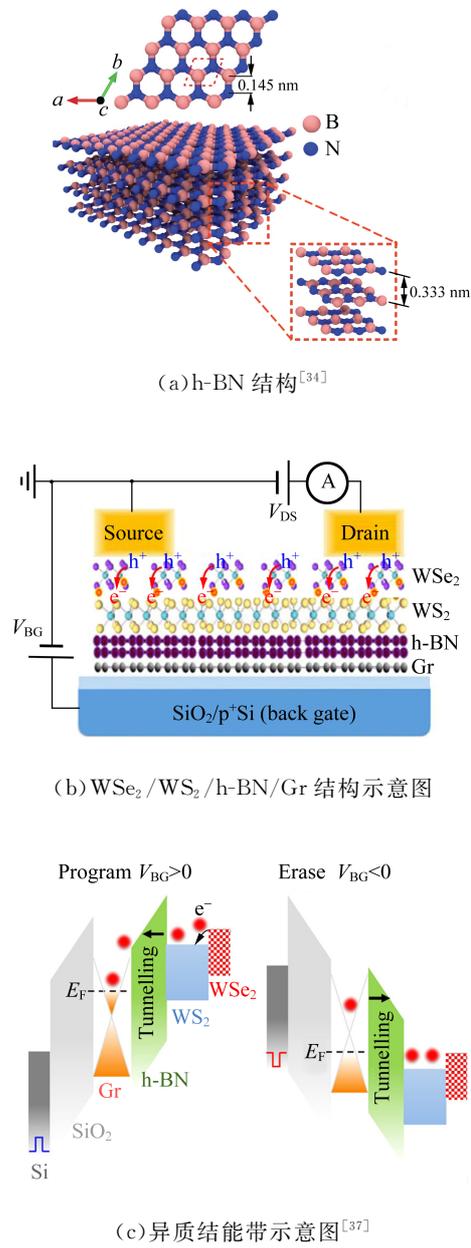


图 5 h-BN 结构及性能

图 5(c)为异质结构能带示意图,当在 Si 底栅上施加足够大负偏压时,电子在电场作用下从 WSe₂/WS₂ 隧穿 h-BN 并被 Gr 捕获. 当移除施加的正向偏压时,由于上下高势垒的 SiO₂ 和 h-BN 的阻挡能够将捕获的电子长时间保留在 Gr 内. 当在底栅上施加足够大的正偏压后,Gr 中被激发的电子可以在电场作用下再次隧穿 h-BN 回

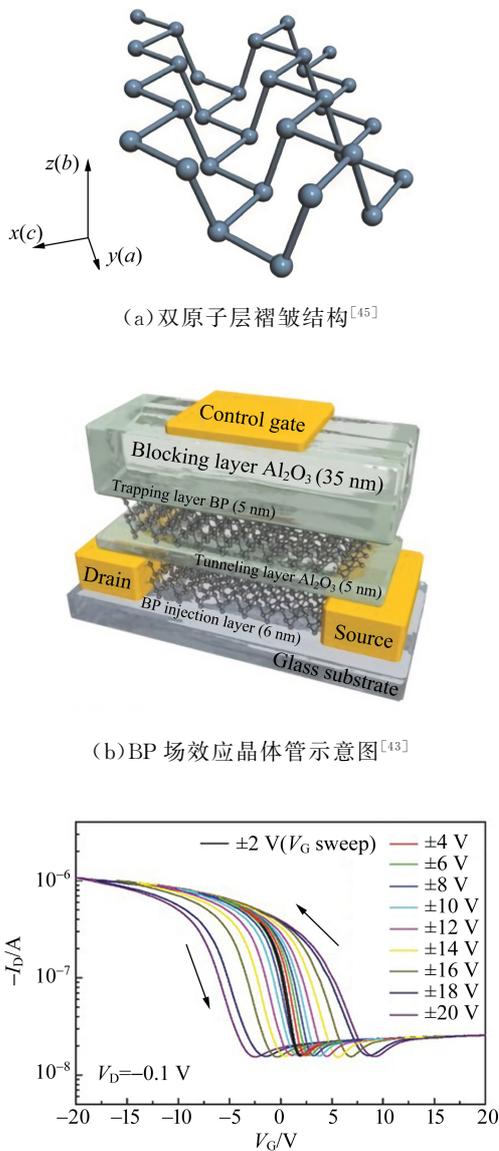
到 WS₂ 沟道中. 隧穿层的厚度不仅影响发生隧穿时需要施加的偏压大小,隧穿时间对后续载流子的流失速度也有很大影响,但过厚的隧穿层不符合纳米电子器件尺寸微缩的发展需求,因此寻求合适厚度的隧穿层是重要的研究课题.

1.3 黑磷

黑磷是磷元素 3 种同素异形体的 1 种,其首次合成是在 1914 年由美国科学家 Bridgman 完成,具有高度活性的白磷在 200 °C 和 1.2 GPa 的极高压条件下转变为具有褶皱正交层状结构的黑磷(Black phosphorus, BP). BP 也是磷的同素异构体,具有热力学稳定、反应性和毒性最小的优点^[38]. 块状 BP 表现出与石墨相似的层状结构,由单分子层(也叫磷烯或黑磷烯,Phosphorene)通过弱范德华力堆叠构成,磷烯具有双原子层结构,sp³ 杂化的 P 原子与周围的 3 个 P 原子相连,其中平面内与 2 个 P 原子连接,键角为 99°,面外与另一原子层内的 P 原子连接,形成 103°的键角,形成双原子层褶皱结构[图 6(a)]. 块状 BP 是天然的 p 型半导体,在室温下具有 0.3 eV 的带隙和 1 000 cm²/(V · s)的高载流子迁移率,随着层数的减小,BP 的带隙逐渐增大,单层的 BP 带隙约为 1.7 eV,但单层 BP 的电学性能与块状材料相当^[39]. 在很长的一段时间内,苛刻的合成条件导致块体 BP 几乎无人问津. 直到 2014 年, Li 等人^[40]使用胶带从高温高压条件下生长的块体 BP 上剥离出 BP 纳米片并转移到带有热氧化生长 SiO₂ 的高掺杂硅片上,成功制备了 BP 沟道 p 型场效应晶体管. 在室温下,BP 晶体管表现出 10⁵ 的开关比、984 cm²/(V · s)的迁移率和良好的栅极调控能力. 值得注意的是在 BP 晶体管的转移特性曲线中表现出双极型的特性,这是因为金属的功函数对触点处的空穴/电子传导起着重要作用,具有较大功函数金属作为触点的场效应晶体管表现出较大的空穴电流,而在具有较低功函数金属的器件上可以观察到双极特性^[41]. Li 等人的研究证实了具有合适带隙和高迁移率的 BP 纳米片作为新的二维材料在纳米电子器件中的应用潜力,许多研究者尝试将 BP 作为沟道引入闪存器件^[17-18,42-44].

2016 年, Lee 等人^[44]制备了基于少层 BP 沟道的金纳米晶浮栅电荷俘获存储器,器件表现出包括多值(5 值)数据存储能力、58.2 V 的存储窗

口、 10^4 s 内性能稳定和 10^3 次循环耐久性的性能。张鹏飞等人^[18]构建非易失性 BPPNP 结作为存储堆栈,在 BP/h-BN/Gr 异质结中 3 种二维材料分别作为器件的沟道、隧穿层和电荷俘获层,构建的器件不仅可以作为非易失性存储器和非易失 not 逻辑功能单元,还可以进一步开发用于三极管的非易失 PNP 结。除了作为器件的沟道外,也有研究者探究了 BP 作为电荷俘获层的可能性。2016 年, Lee 等人^[43]使用少层 BP 作为沟道和电荷俘获层,并用原子层沉积的 Al_2O_3 作为隧穿层和阻挡层构建如图 6(b)所示的器件。图 6(c)为器件的转移特性曲线,由于 BP 纳米片的双极性,



(a) 双原子层褶皱结构^[45]
(b) BP 场效应晶体管示意图^[43]
(c) BP 场效应晶体管的性能

图 6 BP 的原子结构示意图及性能

电子和空穴都参与了电荷俘获过程,在 ± 20 V 的扫描电压下具有 12 V 的存储窗口,证明 BP 同样具有一定的电荷俘获能力。

虽然 BP 器件表现出较好的性能,但 BP 在环境中的不稳定性带来的器件性能衰退是影响其应用的阻力之一^[46]。区别于块体 BP,二维 BP 很容易降解,暴露于空气中的 BP 在几小时内,其表面将被氧化为 P_xO_y ,进而反应生成磷酸,如图 7 所示。从器件应用角度,目前主要的应对方法是对 BP 进行表面钝化处理或元素掺杂。表面钝化处理的具体方法是利用各种保护层(如 Al_2O_3)钝化 BP 或使用其他二维层状材料如 h-BN 等包覆 BP^[47],即通过构建垂直异质结提高 BP 的稳定性。元素掺杂方面,Te 和 S 等元素的掺杂都被证明具有提高 BP 环境稳定性、延缓其迁移率衰退的作用^[48-49]。

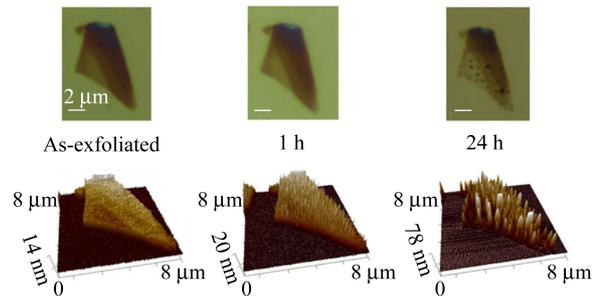
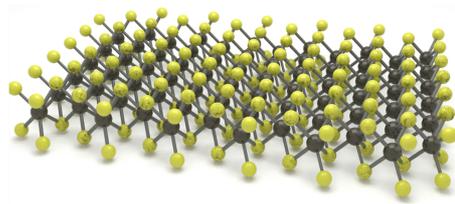


图 7 BP 的 24 h 降解光显图及 3D AFM 图像^[46]

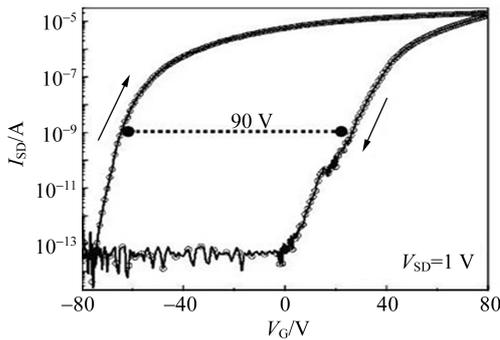
1.4 过渡金属二硫属化合物

过渡金属二硫属化合物(Transition metal dichalcogenides, TMDs)是二维材料家族的重要成员,化学计量式可写为 MX_2 ,其中 M 为元素周期表中的过渡族金属元素,而 X 指 S, Se 和 Te 等硫属元素。如图 8(a)所示, TMDs 都具有以 X-M-X 为单元层的层状结构,单元层之间通过弱的范德华力相连,每一分子层内金属原子层与上下硫族元素原子层通过共价键结合形成三明治结构。TMDs 的晶格结构主要有 3 种: 1T, 2H 和 3R, 分别对应八面体配位的四方晶系(Tetragonal system)、三棱柱配位的六方晶系(Hexagonal system)和菱方对称晶系(Rhombohedral system)^[50]。1T-MoS₂ 指采用 AA 堆垛方式,具有八面体配位的四方晶系 MoS₂。TMDs 具有丰富的材料特性,涵盖金属、半导体和绝缘体^[51]。一般来说,具有未完全填充 d 轨道过渡金属(M=Mo,

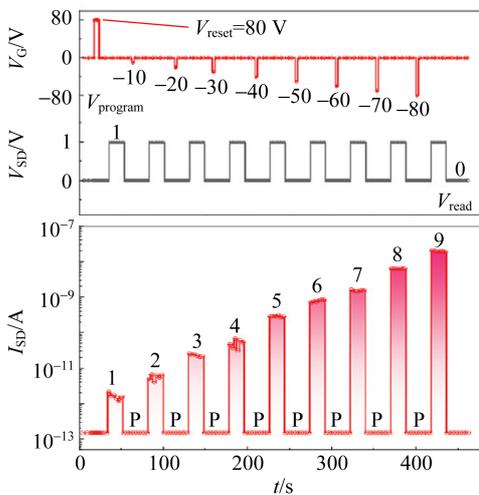
W)的 2H 相具有半导体特征,单层 2H-TMDs 具有 1~2 eV 的天然带隙,且随硫族原子序数的增加呈下降趋势(如单层 MoS₂, MoSe₂ 和 MoTe₂ 的带隙分别为 1.8~1.9 eV, 1.56 eV 和 1.1 eV)^[50]; 1T-TMDs 通常具有金属特性,可用于减小金属电极与 2H 相材料间的接触电阻^[52]. 二维 TMDs 具有极薄的厚度、各向异性特性和电子、机械优异性能的特点,大量相关研究证明其在微纳电子器件和柔性器件的应用中具有巨大潜力^[51,53].



(a)过渡金属硫属化合物的原子结构示意图



(b) MoS₂/GDY 异质结浮栅存储器的转移特性曲线^[33]



(c) MoS₂/GDY 异质结浮栅存储器的多值存储演示^[33]

图 8 MoS₂/GDY 样品

近年来,随着对 TMDs 材料研究的兴起,许多研究人员对不同 TMDs 材料用于替换闪存部分结构或搭建异质结构闪存器件的可能性进行了探索. TMDs 如 MoS₂ 和 WS₂ 等二维材料,在小于 1 nm 的厚度情况下仍具有合适的带隙和迁移率,并可通过 CVD 或金属有机化学气相沉积 (MOCVD) 方法实现低成本、大面积制备,是理想的低功耗器件沟道材料^[54]. Wen 等人^[33] 搭建了 MoS₂/GDY 异质结,实现了非易失性的多级存储器件,图 8(b)所示为通过在栅极施加±80 V 的双向扫描电压得到转移特性曲线. 在栅压为 0 V 时,开态电流与关态电流比高达 8×10⁷,大的开关比使得多值存储成为可能,如图 8(c)所示,在栅极上施加不同大小的编程脉冲后,在恒定读取电压下可以读取出不同的电流大小即实现多值存储. Liu 等人^[55] 利用机械剥离的二维材料纳米片搭建了基于 WSe₂/MoS₂-h-BN/HfS₂ 异质结构的二维半浮栅存储器. WSe₂ 作为沟道材料,MoS₂-h-BN 横向堆叠作为半阻挡层, HfS₂ 充当浮栅,起到俘获载流子的作用. 通过对底栅施加单次循环扫描电压,阈值电压表现出明显的滞后性并获得大于 10³ 的开关比,并且形成 WSe₂/MoS₂ 的 p-n 结,极大提高了器件的写入速度. 此外, TMDs 作为浮栅还起到俘获载流子的作用,除 HfS₂ 外, MoS₂ 充当浮栅的存储器件的报道也时常出现. Choi 等人^[14] 制备了 Gr/h-BN/MoS₂ 异质结构存储器,发现当 MoS₂ 作为浮栅时,转移曲线中阈值电压出现明显的滞后,说明 MoS₂ 具有俘获电子与空穴的能力,但由于 Gr 的零带隙特性,该器件开关比仅有 4,无法满足使用需求. 随后 Li 等人^[42] 搭建了 BP/h-BN/MoS₂ 垂直异质结形成俘获堆栈, MoS₂ 同样作为浮栅,在±40 V 的栅压扫描范围内具有 60 V 的大存储窗口.

综上所述, Gr 及其衍生物 GO 和 GDY、h-BN、BP 和 TMDs 等都是常被引入浮栅结构中的二维材料,科研工作者根据材料自身的性能特点去替换浮栅结构中的体材料. 例如具有高态密度、高垂直电阻的低维石墨材料适合作为浮栅俘获电荷;具有高迁移率、天然合适带隙和良好栅极可控性的 BP 及 MoS₂、WS₂ 等 TMDs 和复合异质结构是替换硅基沟道的候选者;具有宽带隙的 h-BN 和 HfS₂ 等二维材料则可作为隧穿层和阻挡层,防止浮栅电荷的流失;另外,由于二维材料

无悬挂键的原子级界面具有高载流子迁移率(如 Gr 和 MoS_2 等),因此能够替代金属电极与二维沟道形成异质结,减小接触电阻. 二维材料具有替换浮栅存储结构中传统体材料的潜力,是浮栅存储器未来微缩化的发展方向之一.

2 基于二维材料浮栅存储器结构的研究

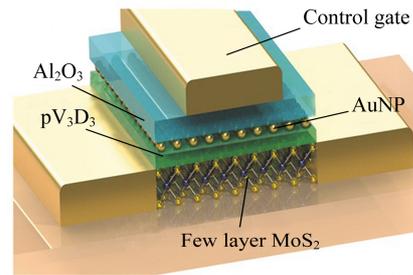
1967 年,贝尔实验室的科学家姜大元和施敏首次提出了浮栅的概念,他们在当时提出不久的金属半导体氧化物(Metal-oxide-semiconductor, MOS)晶体管基础上,创造性地在氧化物层中距离源极很小距离处放置浮栅,通过施加合适的栅压,电荷就能够被浮栅俘获,并实现了大于 1 h 的保留时间^[56]. 浮栅场效应晶体管的提出不仅粉碎了当时普遍认为电荷无法被捕获在半导体内的言论,还作为全新的存储方式逐渐取代了上世纪 60 年代体积大、耗电高、反应很慢的磁芯存储器,成为主流的大容量半导体存储器并沿用至今,浮栅存储器作为优异的数字存储方案也成为第四次工业革命的主要驱动力.

从提出浮栅至今,研究人员不断对浮栅存储器的结构和集成方案进行改进,使得存储密度不断提高,从 FAMOS、SAMOS 到 Flash memory 和 NAND Flash,替换性能更好的材料,设计多层结构^[2],从平面 2D 集成到 3D 集成,但浮栅存储器存储单元的俘获堆栈范式依旧是栅极阻挡层/浮栅/隧穿层的结构. 自 Gr 问世以来,二维材料由于具有原子级厚度、弱范德华力结合界面和可控的带隙与结构的特点而被认为是未来微纳电子器件发展的方向之一,将二维材料与浮栅结构结合被认为是浮栅存储器进一步提升存储密度的可行途径. 在这一探索过程中,研究者进行了多种尝试和突破,本节将从存储介质——浮栅出发讨论器件结构对于存储器性能的影响.

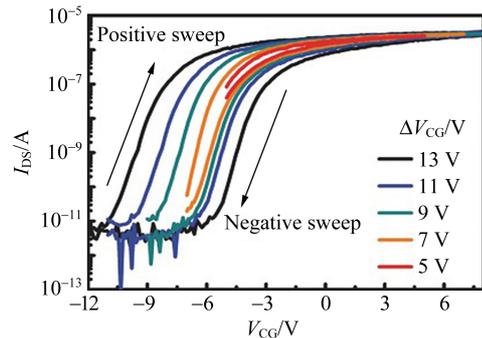
2.1 传统材料浮栅

BP、过渡族金属硫属化合物等二维材料具有原子级厚度、无悬挂键的表面和高迁移率的特点,是理想的沟道材料. 在早期,研究者保留了传统浮栅存储器的存储堆栈,仅将硅基沟道替换为二维材料构建浮栅存储器. Woo 等人^[57]将少层 MoS_2 沟道与 $\text{Al}_2\text{O}_3/\text{Au NPs}/\text{pV}_3\text{D}_3$ (聚三乙基三甲基环三硅氧烷,绝缘材料)堆栈结合制备如图 9(a)所示的浮栅存储器,图 9(b)为该纳米晶浮

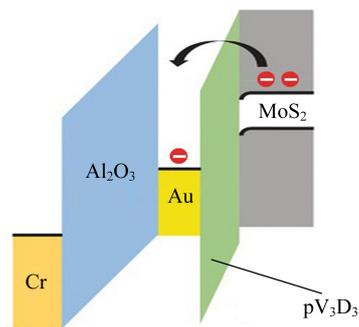
栅存储器的转移特性曲线,编程和擦除状态下电流比达 10^6 ,并表现出良好的栅极可控性,证明二维材料沟道具有替代浮栅存储器中硅基沟道的潜力. 此外,与传统硅基浮栅存储器相比,当在栅极上施加一定大小的正电压进行编程操作时,电荷将从 MoS_2 沟道发生 FN 隧穿,从而越过隧穿层被纳米晶俘获,如图 9(c)所示.



(a) 器件结构示意图



(b) 器件在不同栅极偏压下的转移特性曲线



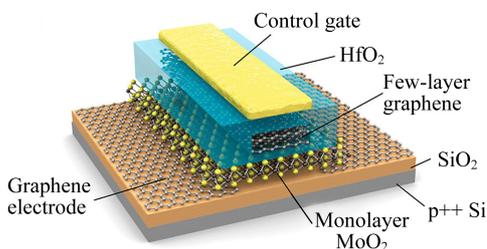
(c) 器件编程操作时的电子跃迁示意图

图 9 MoS_2 基浮栅存储器^[57]

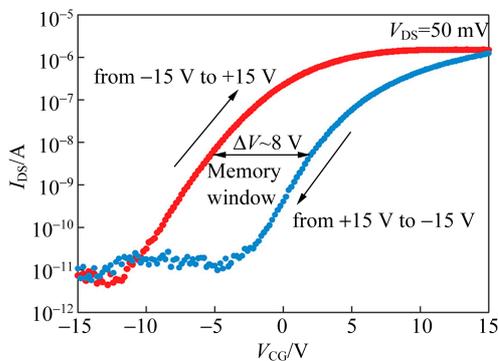
2.2 二维材料浮栅

Gr 是最先作为存储介质被引入浮栅存储器中的二维材料,也是目前报道最多的二维浮栅材料. Hong 等人^[10]将单层 Gr 和多层 Gr 分别置于 Al_2O_3 和 SiO_2 间形成 $\text{Al}_2\text{O}_3/\text{MGr}/\text{SiO}_2$ 堆栈结

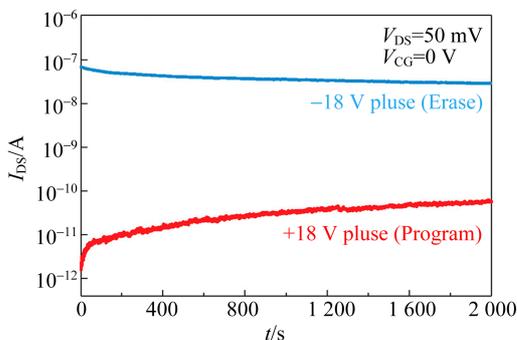
构,多层 Gr 浮栅器件在士 7 V 的栅压扫描范围内表现出约 6 V 的窗口(单层 Gr 器件仅为 2 V)。在 Gr 具有优异的载流子存储能力被证实之后, Bertolazzi 等人^[7]将硅基沟道替换为单层 MoS₂ 沟道,制备了如图 10(a)所示的多层 Gr 浮栅存储器,多层 Gr 四周被 HfO₂ 包围形成 HfO₂/MGr/HfO₂ 的俘获堆栈结构,如图 10(b)~(c)所示,在士 15 V 的栅压扫描下表现出约 8 V 大小的窗口,编程擦除态电流比大于 10⁴,同时预测其具有 10 年的电荷保持能力,这一结果与 Wang 等人使用传统材料浮栅制备的二维沟道浮栅存储器类似,证明 Gr 具有替代传统材料浮栅的潜力。



(a) 器件的结构示意图



(b) 器件的转移特性曲线



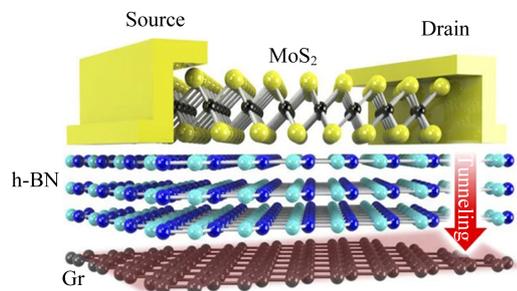
(c) 器件的编程及擦除态保持特性

图 10 Gr/MoS₂ 异质结浮栅存储器^[7]

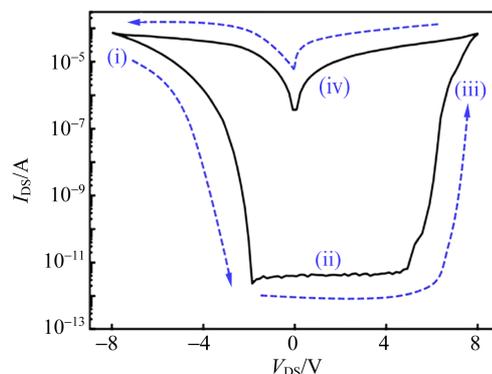
研究人员尝试将浮栅存储器的存储介质、隧穿层和沟道全部替换为二维材料,发挥弱范德瓦力结合的二维材料具有任意堆叠能力的优势,并保留 SiO₂ 作为阻挡层与硅基进行结合。Liu 等人^[21]将隧穿层材料由传统的高介电材料氧化物(SiO₂, Al₂O₃, HfO₂ 等)替换为宽带隙二维材料 h-BN,形成 h-BN/MGr/SiO₂ 俘获堆栈结构,器件表现出 10⁶ 的编程擦除态电流比,在士 35 V 的栅压扫描范围内表现出 53 V 的大回滞窗口,同时具有纳米级的写入速度和较好的稳定性。

Wen 等人^[33]对 GDY 进行温和地氧等离子体处理,通过引入大量碳氧单键和碳氧双键,使 GDY 由半导体转变为绝缘体,构建直接俘获电荷的存储器。此时, GDY 不仅充当浮栅捕获电荷,同时由于顶部绝缘能阻挡电荷流失,在其与沟道之间无需增加任何电介质层防止电荷逃逸,器件具有 90 V 的存储窗口、8×10⁷ 的开关比(士 80 V 栅压双向扫描下)和大于 10⁵ s 的电荷保持能力。

除了上述三端器件外, Vu 等人^[15]还构建了两端结构的二维材料浮栅存储器,如图 11 所示。



(a) 器件的结构示意图



(b) 器件的 I-V 曲线

图 11 MoS₂/h-BN/Gr 异质结构两端浮栅存储器^[15]

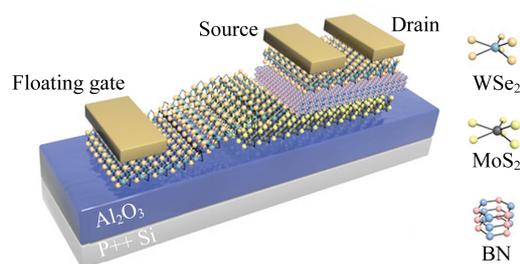
在 Si/SiO₂ 上搭建 MoS₂/h-BN/Gr 垂直异质结,通过在漏极施加较大电压实现电荷隧穿,使得源漏电流发生变化.同时由于二维材料优异的机械性能使得器件具有很好的抗拉伸能力,在 19% 应变条件下性能无明显衰退.

2.3 半浮栅存储器

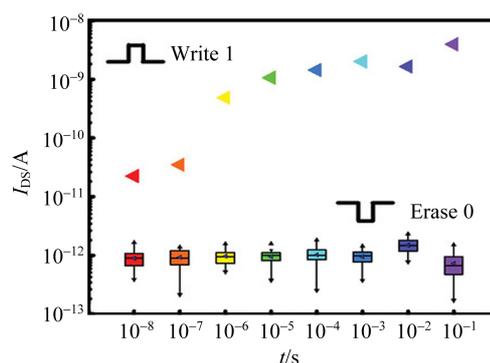
半浮栅晶体管(SFGT)是介于普通 MOS-FET 和浮栅 FET 之间的晶体管,2013 年由复旦大学张卫教授团队在实验室初次成功实现^[58].在浮栅晶体管的基础上内嵌隧穿晶体管对半浮栅进行电荷捕获和释放,在低工作电压(<2 V)下实现了高响应速度(~1 ns)和非易失性功能.2018 年,张卫教授团队^[55]在先前研究的基础上又提出基于二维材料的半浮栅非易失性存储器,HfS₂ 作为浮栅,MoS₂ 与 h-BN 部分交叠作为阻挡层,并选用 WSe₂ 作为器件沟道.此时,WSe₂/MoS₂ 异质结形成 p-n 结,成为电荷快速流入浮栅的通道,可实现 40 ns 的超快写入速度.在 h-BN 的阻挡和 p-n 结处电荷热扩散的作用下,电荷保持时间可达 10 s 左右,具有准非易失性能力,填补了易失性存储器 SRAM 和非易失性存储器 Flash 之间的时间空白.Li 等人^[16]利用 Gr 俘获的电子使 WSe₂ 沟道一侧产生感生空穴,实现 p 型掺杂,并与未受浮栅电荷影响的本征 n 型 WSe₂ 形成 p-n 结,同样实现了具有超快写入速度的准非易失性二维半浮栅存储器.

上述半浮栅存储器具有 ns 级的写入速度,但较慢的擦除速度(10 ms)严重限制了整体的擦写效率.Li 等人^[59]构建了如图 12(a)所示的二维准易失性浮栅存储器,在保持高速写入的条件下,将擦除速度显著降低至 40 ns,实现超快速度下的对称擦写[图 12(b)].图 13(a)为器件编程能带结构,施加偏压[图 13(b)],空穴通过 WSe₂/MoS₂ p-n 结注入 MoS₂ 浮栅,引起阈值电压左偏.擦除时[图 13(c)~(d)],在浮栅电极上施加 -5 V 电压,此时 WSe₂ 中的电子与浮栅中被俘获的空穴迅速复合并且将 p-n 结截止,因而引起阈值电压右偏.

在将二维材料引入浮栅存储器的探索研究中,对于使用传统浮栅介质的存储器,引入 BP 和 MoS₂ 等二维材料起到沟道的作用时,器件往往具有高的开关比(>10⁵),因而基本符合浮栅存储器的需求.

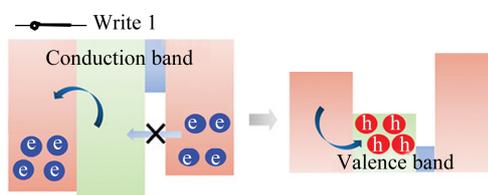


(a) 器件的结构示意图

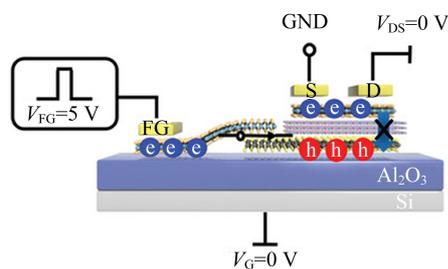


(b) 器件的编程和擦除速度测试图

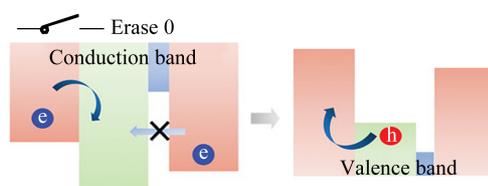
图 12 二维半浮栅晶体管^[59]



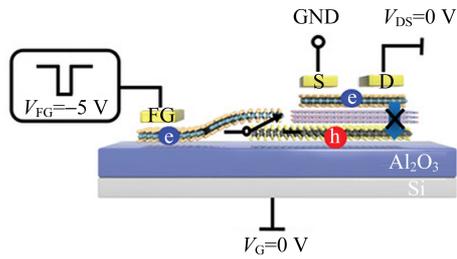
(a) 二维半浮栅晶体管编程能带图



(b) 编程原理图解



(c) 二维半浮栅晶体管擦除能带图



(d) 擦除原理图解

图 13 二维半浮栅晶体管的工作过程^[59]

使用二维材料浮栅的存储器,证明了 Gr 具有很好的电荷俘获能力,并在传统阻挡层和隧穿层的限制下具有超过 10 年的电荷保持能力. 在此基础上进一步将沟道和隧穿层替换为二维材料时,丰富的二维材料提供了多种组合方式,从目前报道的结果来看,此类器件往往具有高的开关比、较好的保持性以及耐久性,但在擦写操作方面,低工作电压($<6\text{ V}$)与快的操作速度($<1\text{ ms}$)难以兼得. 对于半浮栅存储器,与传统浮栅存储器不同的擦写原理使得其具有远优于其余二维浮栅存储器的操作速度,弊端是电荷易泄漏,器件不再具有高保持时间. 此类准非易失性存储器更适合用于 SRAM 和 DRAM 等领域,在实现二者功能的基础上能够减少存储单元晶体管数量,提高集成密度、降低功耗(SRAM)并且提升读取速度(DRAM).

3 总结及展望

随着半导体器件物理尺寸的不断微缩直至接近物理极限,漏电流增大、俘获电子数锐减等问题使得器件的性能可靠性遭受巨大挑战. 因此下一代半导体浮栅存储器需要由新材料实现的新颖器件结构以延续摩尔定律的发展,一系列二维层状材料具有丰富而优异的电子、机械性能,被认为是未来半导体存储器件发展的方向之一. 本文介绍了石墨烯及其衍生物氧化石墨烯和石墨炔、BP、六方氮化硼和过渡族金属二硫属化合物等是半导体浮栅存储器中研究较多的二维层状材料. 基于这些具有从半金属、半导体到绝缘体丰富电学性能的材料构建的浮栅存储器在某些存储器的性能指标上具有突出的表现,然而合格的半导体浮栅存储器需要在低电压驱动以降低能耗的基础上,

同时拥有一定的存储窗口、高的开关比、快的擦写速度和读取速度、优异的电荷保持性($>10\text{ 年}$)和耐久性,器件的性能有待进一步验证. 其次,在二维材料的制备方面,当前实验室中获得二维材料的方法(机械剥离法和化学气相沉积等)虽然能够获得高质量的超薄二维材料,但尺寸大小和厚度度不可控,同时由于二维材料表面无悬挂键的特点难以利用传统原子层沉积工艺沉积高质量栅介质层,导致界面态和等效氧化层厚度(EOT)远高于硅基 CMOS 晶体管. 开发针对二维材料的高质量、超薄、并且与大面积工艺兼容的介质层集成工艺,是二维电子器件应用的关键瓶颈之一. 除了上述问题外,将单个原型器件进行高密度集成并与复杂的集成电路工艺相结合,打造高良率的生产线也是二维材料走向实际应用的必经之路. 接下来的研究应当把解决这几个问题放在首要位置,可以通过实验或电学仿真探索最合适的器件结构、材料厚度、沟道宽度等,同时进一步探索可适用于集成电路工艺的二维材料的制备方法和可实现的集成方案. 基于二维材料半导体浮栅存储器及其集成能够延续浮栅存储器的发展并在便携式和可穿戴设备中具有很大的应用潜力.

参考文献:

- [1] Zhang Z H, Wang Z W, Shi T, et al. Memory materials and devices: From concept to application [J]. *InfoMat*, 2020, 2(2): 261-290.
- [2] Zhang G, Wang X P, Yoo W J, et al. Spatial distribution of charge traps in a sonos-type flash memory using a high- k trapping layer [J]. *IEEE Transactions on Electron Devices*, 2007, 54(12): 3317-3324.
- [3] Ma J H, Liu H F, Yang N, et al. Circuit-level memory technologies and applications based on 2D materials [J]. *Advanced Materials*, 2022, 34(48): 2202371.
- [4] Xue F, Zhang C H, Ma Y C, et al. Integrated memory devices based on 2D materials [J]. *Advanced Materials*, 2022, 34(48): 2201880.
- [5] Novoselov K S, Geim A K, Morozov S V, et al. Electric field effect in atomically thin carbon films [J]. *Science*, 2004, 306(5696): 666-669.
- [6] Bertolazzi S, Bondavalli P, Roche S, et al. Nonvolatile memories based on graphene and related 2D materials [J]. *Advanced Materials*, 2019, 31(10):

- 1806663.
- [7] Bertolazzi S, Krasnozhan D, Kis A. Nonvolatile memory cells based on MoS₂/graphene heterostructures [J]. *Acs Nano*, 2013,7(4):3246-3252.
- [8] Novoselov K S, Geim A K, Morozov S V, et al. Two-dimensional gas of massless Dirac fermions in graphene [J]. *Nature*, 2005,438(7065):197-200.
- [9] Wu Y Q, Ye P D, Capano M A, et al. Top-gated graphene field-effect-transistors formed by decomposition of SiC [J]. *Applied Physics Letters*, 2008, 92(9):092102.
- [10] Hong A J, Song E B, Yu H S, et al. Graphene flash memory [J]. *Acs Nano*, 2011,5(10):7812-7817.
- [11] Zhang S J, Lin S S, Li X Q, et al. Opening the band gap of graphene through silicon doping for the improved performance of graphene/GaAs heterojunction solar cells [J]. *Nanoscale*, 2016, 8(1):226-232.
- [12] Ke F, Chen Y B, Yin K T, et al. Large bandgap of pressurized trilayer graphene [J]. *Applied Physical Sciences*, 2019,116(19):9186-9190.
- [13] Cao W, Kang J H, Bertolazzi S, et al. Can 2D-nanocrystals extend the lifetime of floating-gate transistor based nonvolatile memory? [J]. *IEEE Transactions on Electron Devices*, 2014, 61(10): 3456-3464.
- [14] Choi M S, Lee G H, Yu Y J, et al. Controlled charge trapping by molybdenum disulphide and graphene in ultrathin heterostructured memory devices [J]. *Nature Communications*, 2013,4:1624.
- [15] Vu Q A, Shin Y S, Kim Y R, et al. Two-terminal floating-gate memory with van der Waals heterostructures for ultrahigh on/off ratio [J]. *Nature Communications*, 2016,7:12725.
- [16] Li D, Chen M Y, Sun Z Z, et al. Two-dimensional non-volatile programmable p-n junctions [J]. *Nature Nanotechnology*, 2017,12(9):901-906.
- [17] Li D, Chen M Y, Zong Q J, et al. Floating-gate manipulated graphene-black phosphorus Heterojunction for nonvolatile ambipolar Schottky junction memories, memory inverter circuits, and logic rectifiers [J]. *Nano Letters*, 2017,17(10):6353-6359.
- [18] Zhang P F, Li D, Chen M Y, et al. Floating-gate controlled programmable non-volatile black phosphorus pnp junction memory [J]. *Nanoscale*, 2018,10(7):3148-3152.
- [19] Wu E X, Xie Y, Wang S J, et al. Tunable and nonvolatile multibit data storage memory based on MoTe₂/boron nitride/graphene heterostructures through contact engineering [J]. *Nanotechnology*, 2020,31(48):485205.
- [20] Wu E X, Xie Y, Wang S J, et al. Multi-level flash memory device based on stacked anisotropic ReS₂-boron nitride-graphene heterostructures [J]. *Nanoscale*, 2020,12(36):18800-18806.
- [21] Liu L, Liu C S, Jiang L L, et al. Ultrafast non-volatile flash memory based on van der Waals heterostructures [J]. *Nature Nanotechnology*, 2021, 16(8):874-881.
- [22] Yu J, Liu G X, Sumant A V, et al. Graphene-on-diamond devices with increased current-carrying capacity: Carbon sp²-on-sp³ technology [J]. *Nano Letters*, 2012,12(3):1603-1608.
- [23] Zhang Z C, Li Y, Li J, et al. An ultrafast nonvolatile memory with low operation voltage for high-speed and low-power applications [J]. *Advanced Functional Materials*, 2021,31(28):2102571.
- [24] Kanamori Y, Obata S, Saiki K. Conductive atomic force microscopy of chemically synthesized graphene oxide and interlayer conduction [J]. *Chemistry Letters*, 2011,40(3):255-257.
- [25] Wang Y, Li S S, Yang H Y, et al. Progress in the functional modification of graphene/graphene oxide: A review [J]. *RSC Advances*, 2020,10(26): 15328-15345.
- [26] Wang S, Pu J, Chan D S H, et al. Wide memory window in graphene oxide charge storage nodes [J]. *Applied Physics Letters*, 2010, 96(14): 143109.
- [27] Wang S, Ang P K, Wang Z Q, et al. High mobility, printable, and solution-processed graphene electronics [J]. *Nano Letters*, 2010,10(1):92-98.
- [28] Johnson D W, Dobson B P, Coleman K S. A manufacturing perspective on graphene dispersions [J]. *Current Opinion in Colloid & Interface Science*, 2015,20(5):367-382.
- [29] Huang C S, Li Y J, Wang N, et al. Progress in research into 2D graphdiyne-based materials [J]. *Chemical Reviews*, 2018,118(16):7744-7803.
- [30] Liu R, Gao X, Zhou J Y, et al. Chemical vapor deposition growth of linked carbon monolayers with acetylenic scaffoldings on silver foil [J]. *Ad-*

- vanced Materials, 2017,29(18):1604665.
- [31] Hybertsen M S, Louie S G. Electron correlation in semiconductors and insulators: Band gaps and quasiparticle energies [J]. Physical Review B, 1986,34(8):5390-5413.
- [32] Wang X H, Zhang Z C, Wang J J, et al. Synthesis of wafer-scale monolayer pyrenyl graphdiyne on ultrathin hexagonal boron nitride for multibit optoelectronic memory [J]. ACS Applied Materials & Interfaces, 2020,12(29):33069-33075.
- [33] Wen J L, Tang W H, Kang Z, et al. Direct charge trapping multilevel memory with graphdiyne/MoS₂ van der Waals heterostructure [J]. Advanced Science, 2021,8(21):2101417.
- [34] Roy S, Zhang X, Puthirath A B, et al. Structure, properties and applications of two-dimensional hexagonal boron nitride [J]. Advanced Materials, 2021,33(44):2101589.
- [35] Maity A, Grenadier S J, Li J, et al. Hexagonal boron nitride: Epitaxial growth and device applications [J]. Progress in Quantum Electronics, 2021,76:100302.
- [36] Watanabe K, Taniguchi T, Kanda H. Direct-bandgap properties and evidence for ultraviolet lasing of hexagonal boron nitride single crystal [J]. Nature Materials, 2004,3(6):404-409.
- [37] Siao M D, Gandhi A C, Sahoo A K, et al. WSe₂/WS₂ heterobilayer nonvolatile memory device with boosted charge retention [J]. ACS Applied Materials & Interfaces, 2022,14(2):3467-3475.
- [38] Gusmao R, Sofer Z, Pumera M. Black phosphorus rediscovered: From bulk material to monolayers [J]. Angewandte Chemie-International Edition, 2017,56(28):8052-8072.
- [39] Wang X M, Lan S F. Optical properties of black phosphorus [J]. Advances in Optics and Photonics, 2016,8(4):618-655.
- [40] Li L K, Yu Y J, Ye G J, et al. Black phosphorus field-effect transistors [J]. Nature Nanotechnology, 2014,9(5):372-377.
- [41] Liu H, Du Y C, Deng Y X, et al. Semiconducting black phosphorus: Synthesis, transport properties and electronic applications [J]. Chemical Society Reviews, 2015,44(9):2732-2743.
- [42] Li D, Wang X J, Zhang Q C, et al. Nonvolatile floating-gate memories based on stacked black phosphorus-boron nitride-MoS₂ heterostructures [J]. Advanced Functional Materials, 2015, 25(47):7360-7365.
- [43] Lee Y T, Lee J, Ju H, et al. Nonvolatile charge injection memory based on black phosphorous 2D nanosheets for charge trapping and active channel layers [J]. Advanced Functional Materials, 2016, 26(31):5701-5707.
- [44] Lee D, Choi Y, Hwang E, et al. Black phosphorous nonvolatile transistor memory [J]. Nanoscale, 2016,8(17):9107-9112.
- [45] Dhanabalan S C, Ponraj J S, Guo Z N, et al. Emerging trends in phosphorene fabrication towards next generation devices [J]. Advanced Science, 2017,4(6):1600305.
- [46] Kim J-S, Liu Y N, Zhu W N, et al. Toward air-stable multilayer phosphorene thin-films and transistors [J]. Scientific Reports, 2015,5:8989.
- [47] Pei J J, Gai X, Yang J, et al. Producing air-stable monolayers of phosphorene and their defect engineering [J]. Nature Communications, 2016, 7: 10450.
- [48] Lv W M, Yang B C, Wang B C, et al. Sulfur-doped black phosphorus field-effect transistors with enhanced stability [J]. ACS Applied Materials & Interfaces, 2018,10(11):9663-9668.
- [49] Yang B C, Wan B S, Zhou Q H, et al. Te-doped black phosphorus field-effect transistors [J]. Advanced Materials, 2016,28(42):9408-9415.
- [50] Wang Q H, Kalantar-Zadeh K, Kis A, et al. Electronics and optoelectronics of two-dimensional transition metal dichalcogenides [J]. Nature Nanotechnology, 2012,7(11):699-712.
- [51] Zhu W J, Low T, Wang H, et al. Nanoscale electronic devices based on transition metal dichalcogenides [J]. 2D Materials, 2019,6(3):032044.
- [52] Kappera R, Voiry D, Yalcin S E, et al. Phase-engineered low-resistance contacts for ultrathin MoS₂ transistors [J]. Nature Materials, 2014,13(12): 1128-1134.
- [53] Jariwala D, Sangwan V K, Lauhon L J, et al. Emerging device applications for semiconducting two-dimensional transition metal dichalcogenides [J]. ACS Nano, 2014,8(2):1102-1120.
- [54] Akinwande D, Huyghebaert C, Wang C H, et al. Graphene and two-dimensional materials for silicon technology [J]. Nature, 2019, 573(7775): 507-518.

- [55] Liu C S, Yan X, Song X F, et al. A semi-floating gate memory based on van der Waals heterostructures for quasi-non-volatile applications [J]. *Nature Nanotechnology*, 2018,13(5):404-410.
- [56] Kahng D, Sze S M. A floating gate and its application to memory devices [J]. *Bell System Technical Journal*, 1967,46(6):1288-1295.
- [57] Woo M H, Jang B C, Choi J, et al. Low-power nonvolatile charge storage memory based on MoS₂ and an ultrathin polymer tunneling dielectric [J]. *Advanced Functional Materials*, 2017, 27 (43): 1703545.
- [58] Wang P F, Lin X, Liu L, et al. A semi-floating gate transistor for low-voltage ultrafast memory and sensing operation [J]. *Science*, 2013, 341 (6146):640-643.
- [59] Li J Y, Liu L, Chen X X, et al. Symmetric ultrafast writing and erasing speeds in quasi-nonvolatile memory via van der Waals heterostructures [J]. *Advanced Materials*, 2019,31(11):1808035.

Research progress of floating gate memory based on two-dimensional semiconductor materials: From material to structure

LI Haoyu¹, LI Wenqing¹, JIANG Changzhong¹, XIAO Xiangheng^{1,2}

(1. Department of Physics, Wuhan University, Wuhan 430072, China;

2. Hubei Yangtze Memory Laboratories, Wuhan 430010, China)

Abstract: Semiconductor floating gate memory occupies a growing market share in semiconductor memory and even the whole data storage industry. It is widely used in computer, portable device memory and other fields, and has great potential for enterprise storage. With the development of memory devices to a high degree of integration, miniaturization, new materials and structures will be needed to innovate the floating gate memory in the future to continue the development of Moore's Law. Two-dimensional layered semiconductor materials in atom-scale have excellent electrical properties and stability, and are widely considered to be one of the potential new semiconductor materials for the next generation of semiconductor floating gate memory. In this paper, the application of two-dimensional semiconductor materials in the field of floating gate memory in recent years is introduced, and its future development trend is considered and prospected.

Key words: floating gate memory; 2D materials; heterogeneous junction; flash memory

[责任编辑:任德香]